

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-247491

(43)Date of publication of application : 03.09.1992

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 03-012131

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 01.02.1991

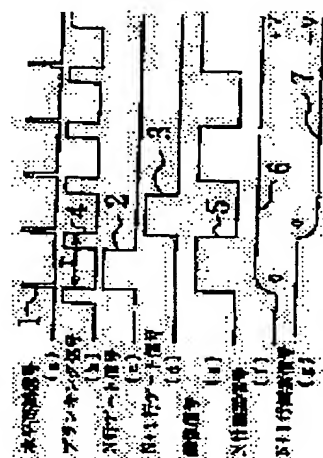
(72)Inventor : MARUSHITA YUTAKA

(54) DRIVING CIRCUIT OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To eliminate overlapping of gate signals, which are located next to each other and are caused by a delay, and to improve the picture quality of a liquid crystal display device by adding a gate circuit which superimposes blanking signals to a scan line driving circuit.

CONSTITUTION: In the driving circuit of the liquid crystal display device, a blanking period, which lasts for the equivalent of the delayed period, is provided to the gate signals which controls on-off switching of driving elements. Because a blanking signal 4 is subtracted from the latter half of an N row gate signal 2 and an N+1 row gate signal 3, the N row gate 2 and the N+1 row gate signal 3, which are located next to each other, are not being overlapped to each other. Therefore, an alternating picture signal 5, which is added to signal lines so as to prolong the service life of the liquid crystal, is selected at each row by changing the polarity and an N row picture element signal 6 and N+1 row picture element signal 7 are approximately held for one vertical scan period. Because the driving elements are forced to be off during the blanking period, the brightness between the picture element electrodes located right next to each other are faithfully expressed to the picture signals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-247491

(43) 公開日 平成4年(1992)9月3日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		

審査請求 未請求 請求項の数2(全6頁)

(21) 出願番号	特願平3-12131
(22) 出願日	平成3年(1991)2月1日

(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
(72) 発明者	丸下 裕 守口市京阪本通2丁目18番地 三洋電機株式会社内
(74) 代理人	弁理士 西野 卓嗣

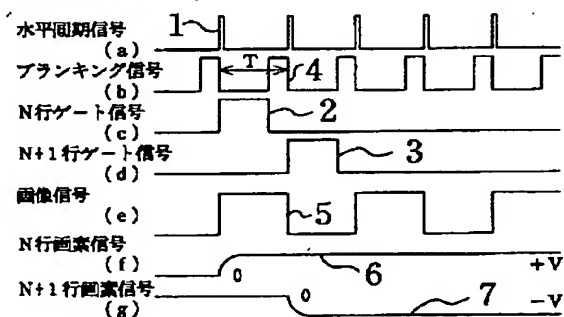
(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【目的】 走査線における遅延に対し、ゲート信号にブランキング信号を重畳することで液晶表示装置の画質の向上を計る。

【構成】 走査線駆動回路にブランキング信号を重畳させるゲート回路を追加することで遅延による隣接するゲート信号の重なりを解消して、所定の期間だけ駆動素子により画素信号が液晶表示装置で保持されるようにする。

【効果】 液晶表示装置内の複数の駆動素子に加わるゲート信号が互いに重ならないため、良好な液晶表示が得られる。



【特許請求の範囲】

【請求項1】 ゲート信号が加わる走査線と画像信号が加わる信号線の交差部に駆動素子を備え、駆動素子に連結された画素電極とから構成されるアクティブマトリクス基板と、画素電極に対向する対向電極を備えた対向基板との間に液晶を挟持する液晶表示装置の駆動回路において、駆動素子のオンとオフの切り換えを制御するゲート信号にブランキング期間を設けたことを特徴とする液晶表示装置の駆動回路。

【請求項2】 ゲート信号が加わる走査線と画像信号が加わる信号線の交差部に駆動素子を備え、駆動素子に連結された画素電極とから構成されるアクティブマトリクス基板と、画素電極に対向する対向電極を備えた対向基板との間に液晶を挟持する液晶表示装置の駆動回路において、駆動素子のオンとオフの切り換えを制御するゲート信号にブランキング信号を重畳する回路を備えたことを特徴とする液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型の液晶表示装置の駆動回路に関し、特に大型または高精細の液晶表示装置での走査線のゲート信号の遅れを簡便に補償する駆動回路に関する。

【0002】

【従来の技術】 一般にアクティブマトリクス型の液晶表示装置においてはアクティブマトリクス基板上の走査線の抵抗による信号遅延の問題が液晶表示装置の大型化による配線長の増大または高精細化による配線幅の減少によって大きくなって来ている。

【0003】 図6に従来の液晶表示装置の駆動回路の走査信号部の詳細図を示す。図6で走査信号の駆動回路はシフトレジスタ18、ラッチ19及びバッファ21より構成されている。

【0004】 バッファ21からの複数のゲート信号が液晶パネル22の行方向に供給されると共に液晶パネル22の列方向に信号駆動回路23からの複数の画像信号5が給電されている。

【0005】 シフトレジスタ18に水平同期信号1、スタート信号24及びシフトクロック25が印加されている。

【0006】 ラッチ19にシフトレジスタ18からの信号とラッチ信号26が印加されている。

【0007】 バッファ21はラッチ19からの信号を受けるとともに所定のタイミングで液晶パネル22にゲート信号を供給している。

【0008】 液晶パネル内の駆動素子及び液晶の静電容量によって信号線に加わる画像信号は液晶表示装置の画素電極に印加されるときに画素信号に変化している。

【0009】 図7は走査線に抵抗がない場合の走査線間で隣接する走査線に印加されるゲート信号の特性図であ

る。

【0010】 図7において、(a)と(b)は互いに隣接する走査線のゲート信号、(c)は1ライン毎のオン/オフを例とした信号線に加わる画像信号、(d)、(e)は1ライン毎のオン/オフを例とした画素電極に加わる画素信号である。

【0011】 図8は走査線に抵抗がある場合の走査線間で隣接する走査線に印加されるゲート信号の特性図である。

【0012】 図8において、(a)と(b)は互いに隣接する走査線のゲート信号、(c)は1ライン毎のオン/オフを例とした信号線に加わる画像信号、(d)、(e)は1ライン毎のオン/オフを例とした画素電極に加わる画素信号である。

【0013】 走査線の抵抗がなく、遅延時間がない場合、隣接する走査線でゲート信号は図7の(a)、(b)に見られるように分離し、ゲート信号によってオンされる駆動素子に連結された画素電極の画素信号は次のゲート信号が来るまで図7の(d)、(e)のように互いに干渉することなく保持される。

【0014】 走査線の抵抗が大きくなると、隣接する走査線でゲート信号は図8の(a)、(b)に見られるように重なり、画素信号は図8の(d)、(e)のように途中で異なる信号になって保持される。

【0015】 図8の(d)、(e)の点線はゲート信号によって不安定に保持される画素信号を示している。

【0016】 ゲート信号の遅れによる問題は図8に示すように本来書き込むべき画像信号の後に次の走査線の画像信号を書き込むことが問題となる。

【0017】 走査線の信号遅延の対策として、①電極配線材料の選択最適化及び2層電極構造等の電極構造の検討(ED89-40, アモルファスSi BIP-TFTを12"カラーLCD)、②走査線抵抗による信号遅延の時間分だけゲート信号の印加タイミングを画像信号に比べて速くする方法(特公平2-7444号公報)等が提案されている。

【0018】 しかし、上記対応策においてはプロセスの複雑化、それに伴う欠陥発生数の増大や開口率の減少及び制御タイミング発生回路の複雑化等の課題が残る。

【0019】

【発明が解決しようとする課題】 本発明はアクティブマトリクス型の液晶表示装置(LCD)の走査線抵抗による信号遅延が原因となって発生する画面左右での輝度傾斜や上下画素間でのクロストーク等の問題をプロセス及び回路構成を複雑化させることなく解決し良好な表示状態が得られる液晶表示装置の駆動回路を提供するものである。

【0020】

【課題を解決するための手段】 アクティブマトリクス型のLCDの走査線抵抗による信号遅延を原因とする各種

の問題を解決するためにゲート信号が遅延した時間に相当する時間だけブランキング期間を有するようにしたものである。

【0021】

【作用】走査線の信号遅延を補償するためにゲート信号に設けられたブランキング期間に駆動素子は強制的にオフさせられるため、隣接する画素電極間での輝度が画像信号に忠実に表現される。

【0022】

【実施例】図1はブランキング信号をゲート信号の後半部に重畳した場合の画素信号の波形図である。

【0023】ここで、1ライン毎のオン/オフを例とした信号線に加わる画像信号を仮定している。

【0024】本発明の図1において、水平同期信号1に合わせて液晶表示装置の互いに隣接する走査線に印加されるN行ゲート信号2とN+1行ゲート信号3は立ち上がる波形となる。

【0025】図1でN行ゲート信号2及びN+1行ゲート信号3の後半部は本発明のブランキング信号4が差し引かれるため、隣接するN行ゲート信号とN+1行ゲート信号は互いに重ならない。

【0026】このため、信号線に加わる液晶の寿命保持のため交番する画像信号5は各行で極性を変えて選択されて、N行画素信号6とN+1行画素信号7は約1垂直走査期間だけ保持される。

【0027】図1(b)のTはブランキング信号4の周期を表している。図2はブランキング信号をゲート信号の前半部に重畳した場合の画素信号の波形図である。

【0028】ここで、1ライン毎のオン/オフを例とした信号線に加わる画像信号を仮定している。

【0029】本発明の図2において、次の水平同期信号1に合わせて液晶表示装置の互いに隣接する走査線に印加されるN行ゲート信号2とN+1行ゲート信号3は立ち下がる波形となる。

【0030】図2でN行ゲート信号2及びN+1行ゲート信号3の前半部は本発明のブランキング信号4が差し引かれるため、隣接するN行ゲート信号とN+1行ゲート信号は互いに重ならない。

【0031】この故、信号線に加わる液晶の寿命保持のため交番する画像信号5は各行で極性を変えて選択されて、N行画素信号6とN+1行画素信号7は約1垂直走査期間だけ保持される。

【0032】図2(b)のTはブランキング信号の周期を表している。図1及び図2はゲート信号によって駆動素子が速やかに駆動される場合について述べた実施例である。

【0033】図3はT周期に2個のバースを有するブランキング信号のゲート信号への減算によりVthのある駆動素子において隣接するゲート信号の分離を計った液晶表示装置の画素信号波形図である。

【0034】図3の(a)に水平同期信号1、(b)に元のN行ゲート信号8、(c)に元のN+1行ゲート信号9を示す。

【0035】図3において、水平同期信号1の立ち上がりと元のN行ゲート信号8及び元のN+1行ゲート信号9の立ち上がりは一致している。

【0036】図3の(d)に元のN行ゲート信号8をそのまま、走査線に印加した時の遅延後のN行ゲート信号10を示す。

【0037】同じく、図3の(e)に元のN+1行ゲート信号9を走査線に印加した時の遅延後のN+1行ゲート信号11を示す。

【0038】図3の(d)、(e)のVthは駆動素子の閾値であり、Vth以下の電圧では駆動素子は駆動されない。遅延後のN行ゲート信号10と遅延後のN+1行ゲート信号11は指数関数で表されるゲート信号の立ち上がり立ち下りの部分を直線近似するとVthがゲート信号の電圧値の約1/2以下であると重なることがわかる。

【0039】図3の(f)に元のゲート信号8及び元のゲート信号9を減算するブランキング信号4を示す。

【0040】元のN行ゲート信号8及び元のN+1行ゲート信号9にブランキング信号4を減算することにより、駆動素子に実際に印加される本発明のブランキング後のN行ゲート信号12、ブランキング後のN+1行ゲート信号13が構成される。

【0041】図3の(g)、(h)にそれぞれブランキング後のN行ゲート信号12とブランキング後のN+1行ゲート信号13を示す。

【0042】図3の(i)に信号線に印加される交番する画像信号の波形図を示す。図3(i)のように画像信号5は水平同期信号に同期して電圧が+Vから-Vまで変化する。

【0043】図3の(j)、(k)にブランキング後のゲート信号により導通した駆動素子に接続された画素電極に印加されるN行画素信号6、N+1行画素信号7を示す。N行画素信号6、N+1行画素信号7は約1垂直走査期間だけ保持され、途中で極性が変わる不都合は生じない。

【0044】本構成のブランキング信号はゲート信号を確実に分離させ、液晶表示装置の画素信号が所望時間保持される長所がある。

【0045】駆動素子の閾値Vthの増大は駆動素子のゲートの選択時間を短くしてしまう問題がある。

【0046】駆動素子にはダイオードリング、MIM、アモルファスシリコンTFT(a-SiTFT)、多結晶シリコンTFT(poly-SiTFT)などがある。

【0047】液晶表示装置の駆動素子として、a-Si製PINダイオードリングは閾値電圧(Vth)1~

1. 2Vの特性を有する (S. Togashi et al., "A 210×228 matrix LCD controlled by double stage diode stage diode rings", Eurodisplay '84, pp141-144, Sept., 1984.)。

【0048】しかるにダイオードリングやMIMは液晶表示装置の高精細化に伴い、各走査線の選択時間が短くなるため、走査線数に比例して高いゲート電圧を駆動素子に印加する必要がある。

【0049】一方、a-Siまたはp-Si TFTのV_{th}はそれぞれ、2～5V、5Vである (T. Uchida et al., "Liquid Crystal Television", Mol. Cryst. Liq. Cryst., Vol. 165, pp533-571, 1988.)。

【0050】p-Si TFTの方がa-Si TFTより閾値電圧が高い傾向があるが、図3に示すように駆動素子のV_{th}が高くなるとTFTのような能動素子を用いても走査線に印加されるゲート電圧を選択時間が短くなる。

【0051】図4はブランキング信号のゲート信号への加算と減算によりV_{th}の大きい駆動素子において隣接するゲート信号の分離を計った液晶表示装置の画素信号波形図である。

【0052】図4の(a)に水平同期信号1、(b)に元のN行ゲート信号8、(c)に元のN+1行ゲート信号9を示す。

【0053】図4において、水平同期信号1の立ち上がりと元のN行ゲート信号8及び元のN+1行ゲート信号9の立ち上がりは一致している。

【0054】図4の(d)に元のゲート信号に加算される加算ブランキング信号14を示す。

【0055】元のゲート信号の前半部に加算ブランキング信号14を加算することにより、駆動素子の選択時間が延長された拡張のN行ゲート信号15、拡張のN+1行ゲート信号16が構成される。

【0056】図4の(e)、(f)にそれぞれ拡張のN行ゲート信号15と拡張のN+1行ゲート信号16を示す。

【0057】図4の拡張のゲート信号は水平同期信号1より早く立ち上がり、ゲート信号の前半部が延長された波形となる。

【0058】図4の(g)、(h)に拡張されたゲート信号を走査線に印加して線路と駆動素子により遅延した遅延後のN行ゲート信号10と遅延後のN+1行ゲート信号11を示す。

【0059】選択時間を長くしたのみで液晶表示装置に拡張のゲート信号を加えた場合、走査線の抵抗のため、ゲート信号の立ち上がり立ち下りの波形が遅れ、ゲ

ート信号が互いに重なり、駆動素子の閾値電圧により図4の点線部より上の区間しか駆動素子が導通しない。

【0060】図4の(i)に遅延後のゲート信号の後半部に印加される減算ブランキング信号17を示す。

【0061】遅延後のゲート信号の後半部は減算ブランキング信号17により減算され、隣接している遅延後のN行ゲート信号10と遅延後のN+1行ゲート信号11の重なりを解消する。

【0062】図4の(j)、(k)に加算ブランキング信号14と減算ブランキング信号17によって調整されたブランキング後のN行ゲート信号12、ブランキング後のN+1行ゲート信号13を示す。

【0063】液晶表示装置の液晶パネル内の駆動素子に印加されるブランキング後のN行ゲート信号12、ブランキング後のN+1行ゲート信号13は互いに重ならないため、画素電極の信号が途中で他の信号によって干渉されることがなくなる。

【0064】また、ブランキング後のN行ゲート信号12、ブランキング後のN+1行ゲート信号13は液晶パネル内の駆動素子に対して元のN行ゲート信号8、元のN+1行ゲート信号9と同等の選択時間を有するので、駆動素子としてダイオードリング、MIMを用いた液晶表示装置の高精細化、閾値電圧の高いpoly-Si TFTを用いた液晶表示装置に有用である。

【0065】図4の(l)、(m)にそれぞれブランキング後のゲート信号により導通した駆動素子に接続された画素電極に印加されるN行画素信号6、N+1行画素信号7を示す。

【0066】N行画素信号6、N+1行画素信号7は約1垂直走査期間だけ保持され、途中で極性が変わる不都合は生じない。

【0067】尚、第4図では、元のゲート信号の前半部に加算、後半部に減算をブランキング信号によって施したが、逆に元のゲート信号の後半部に加算、前半部に減算をブランキング信号により行っても良い。

【0068】ブランキング信号のパルス幅は5～80μs程度であり、水平同期信号に同期して発生するパルスの幅と極性を変更することで容易に作成できる。

【0069】図4のようにブランキング信号をゲート信号の前後に加減算することにより、駆動方法の多重化や閾値の高い駆動素子の採用に起因するゲート信号の選択時間の縮小を補償して液晶表示装置の高精細化に対応できるようになる。

【0070】図5に本発明の液晶表示装置の駆動回路の走査信号部の詳細図を示す。図5で走査信号の駆動回路はシフトレジスタ18、ラッチ19、ゲート20及びバッファ21より構成されている。

【0071】バッファ21からの複数のゲート信号が液晶パネル22の行方向に供給されると共に液晶パネル22の列方向に信号駆動回路23からの複数の画素信号5

が給電されている。

【0072】シフトレジスタ18に水平同期信号1、スタート信号24及びシフトクロック25が印加されている。

【0073】ラッチ19にシフトレジスタ18からの信号とラッチ信号26が印加されている。

【0074】ゲート20はラッチ19からの信号にブランキング信号4を重ねる働きを行う。

【0075】ゲート20はシフトレジスタ18の後段に論理回路のAND等のゲート回路を設けることにより構成され、ゲート信号に任意のタイミングでブランキング期間を設けることが可能になる。

【0076】バッファ21はゲートからの信号を受けるとともに所定のタイミングで液晶パネル22にゲート信号を供給している。

【0077】本発明のゲート信号は信号幅が調整された形態とゲート信号に隣接して極性の異なる信号が付与された形態を有する。

【0078】

【発明の効果】以上のように走査信号にブランキング期間を設けることにより走査線の抵抗・容量による信号遅延、電圧降下の問題を解決することができ、良好な液晶表示が得られる。

【0079】また、上記の良好な液晶表示をプロセスの複雑化、制御タイミングの複雑化等なしに簡単な回路付与だけで構成できる。

【0080】さらに、2種類のブランキング信号のゲート信号への重畳により、TFTの特性に応じた任意のタイミングでブランキングすることができる。

【図面の簡単な説明】

【図1】本発明の1番目のブランキング信号による各種信号の波形図である。

【図2】本発明の2番目のブランキング信号による各種信号の波形図である。

【図3】本発明の3番目のブランキング信号による各種信号の波形図である。

【図4】本発明の4番目のブランキング信号による各種信号の波形図である。

【図5】本発明の液晶表示装置の駆動回路図である。

【図6】従来の液晶表示装置の駆動回路図である。

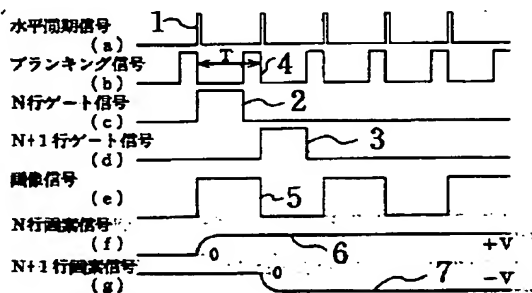
【図7】抵抗、容量等の遅延がない場合の各種信号の波形図である。

【図8】抵抗、容量等の遅延がある場合の各種信号の波形図である。

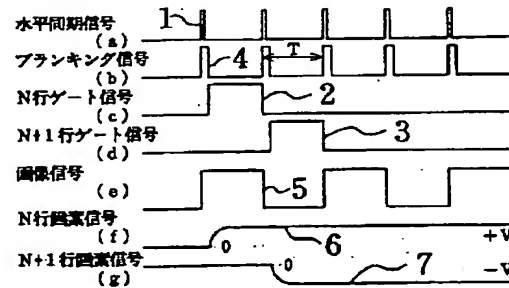
【符号の説明】

- | | |
|----|-------------------|
| 1 | 水平同期信号 |
| 2 | N行ゲート信号 |
| 3 | N+1行ゲート信号 |
| 4 | ブランキング信号 |
| 5 | 画像信号 |
| 6 | N行画素信号 |
| 7 | N+1行画素信号 |
| 8 | 元のN行ゲート信号 |
| 9 | 元のN+1行ゲート信号 |
| 10 | 遅延後のN行ゲート信号 |
| 11 | 遅延後のN+1行ゲート信号 |
| 12 | ブランキング後のN行ゲート信号 |
| 13 | ブランキング後のN+1行ゲート信号 |
| 14 | 加算ブランキング信号 |
| 15 | 拡張のN行ゲート信号 |
| 16 | 拡張のN+1行ゲート信号 |
| 17 | 減算ブランキング信号 |
| 18 | シフトレジスタ |
| 19 | ラッチ |
| 20 | ゲート |
| 21 | バッファ |
| 22 | 液晶パネル |
| 23 | 信号駆動回路 |
| 24 | スタート信号 |
| 25 | シフトクロック |
| 26 | ラッチ信号 |

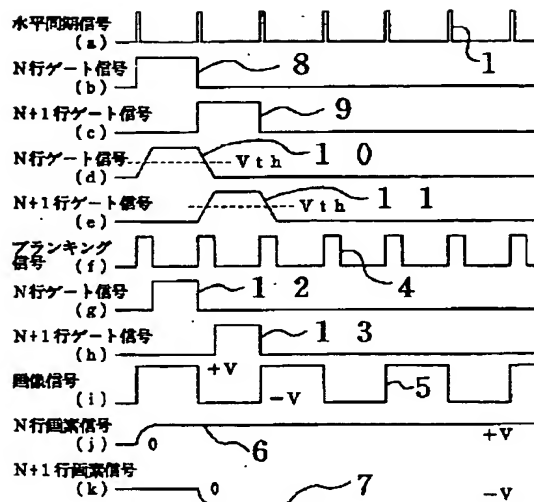
【図1】



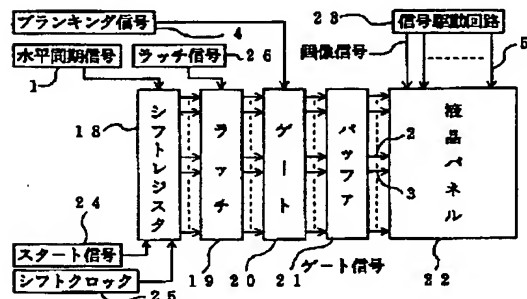
【図2】



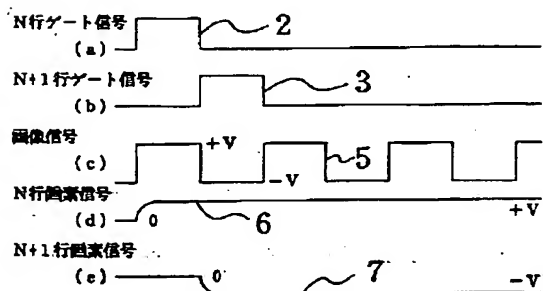
【図3】



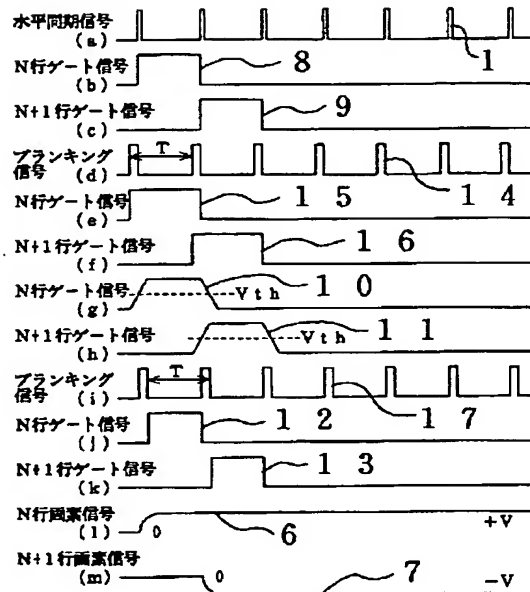
【図5】



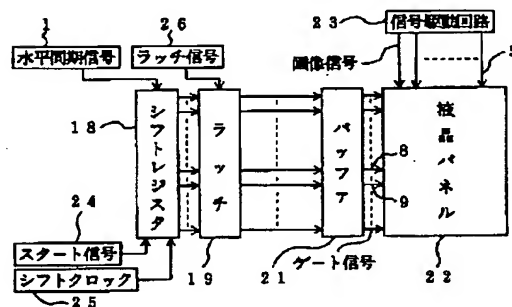
【図7】



【図4】



【図6】



【図8】

